

Requested Patent: JP5303361A

Title:

CHARACTER DISPLAY DEVICE FOR SYNCHRONIZING OPERATION OF VIDEO RAM TO OPERATION OF CPU ;

Abstracted Patent: US5339160 ;

Publication Date: 1994-08-16 ;

Inventor(s): SHINDOU HIROYASU (JP) ;

Applicant(s): SANYO ELECTRIC CO (JP) ;

Application Number: US19930048734 19930416 ;

Priority Number(s): JP19920106608 19920424 ;

IPC Classification: H04N5/445 ; H04N7/08 ;

Equivalents:

ABSTRACT:

Specific clock periods in each machine cycle MC used by a CPU are used for accessing a video RAM synchronized with the operation of the operation of the CPU and the remaining clock periods of the machine cycle MC are used for accessing the video RAM synchronized with horizontal scanning and vertical scanning of television signal. Therefore, accessing synchronized with television signals is also performed in response to clock periods of a machine cycle MC and the video RAM can be made of a single port.

11017 9.5.97 PRO
109/892697
05/28/01


(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-303361

(43)公開日 平成5年(1993)11月16日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 09 G	5/00	Z 8121-5G		
		A 8121-5G		
	5/12	8121-5G		
	5/18	8121-5G		
	5/22	9061-5G		

審査請求 未請求 請求項の数3(全8頁) 最終頁に続く

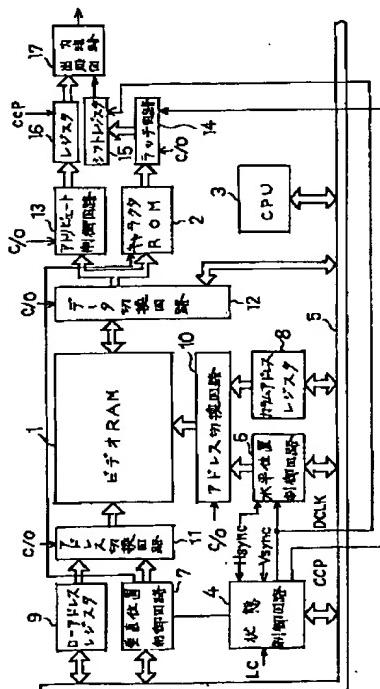
(21)出願番号	特願平4-106608	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
(22)出願日	平成4年(1992)4月24日	(72)発明者	新藤 博康 大阪府守口市京阪本通2丁目18番地 三洋 電機株式会社内
		(74)代理人	弁理士 西野 卓嗣

(54)【発明の名称】 文字表示装置

(57)【要約】

【目的】 本発明は、ビデオRAMをシングルポート構成として文字コードの書き込み及び表示のための読み出しを良好に行う文字表示装置を提供することを目的とする。

【構成】 本発明によれば、CPU(3)で使用される各マシンサイクルMC内部の特定の処理期間を、CPU(3)の動作に同期したビデオRAM(1)のアクセスに使用し、また、各マシンサイクルMCの残余の処理期間を、テレビジョン信号の水平走査及び垂直走査に同期したビデオRAM(1)のアクセスに使用する様に構成した為、ビデオRAM(1)をシングルポートで構成できる。



1

【特許請求の範囲】

【請求項1】複数の処理期間から成るマシンサイクルに基づいて一連の処理を実行するコンピュータ回路と、前記コンピュータ回路の動作に基づいて第1アドレス信号を発生する第1アドレス回路と、
 テレビジョン信号の水平走査及び垂直走査に基づいて前記第1アドレス信号とは非同期の第2アドレス信号を発生する第2アドレス回路と、
 前記マシンサイクルの所定の処理期間に前記第1アドレス信号を切換出力し、
 前記マシンサイクルの残余の処理期間に前記第2アドレス信号を切換出力するアドレス切換回路と、
 前記アドレス切換回路から出力された前記第1アドレス信号又は前記第2アドレス信号によってアクセスされ、テレビジョン画面上に文字表示を行うための文字コードの書き込み又は読み出しが行われるビデオRAMと、
 前記ビデオRAMから読み出された文字コードによってアクセスされ、予め記憶された所定フォントの文字データの読み出しが行われるキャラクタROMと、
 前記キャラクタROMから読み出された文字データを前記テレビジョン信号の水平走査及び垂直走査に同期して出力する出力回路と、
 を備えたことを特徴とする文字表示装置。

【請求項2】前記出力回路は、前記キャラクタROMから読み出された文字データをラッチするラッチ回路と、前記第2アドレス信号が変更される毎に前記ラッチ回路の内容をセットして前記テレビジョン信号の水平走査及び垂直走査に同期して出力するシフトレジスタと、を含んで成ることを特徴とする請求項1記載の文字表示装置。

【請求項3】前記ビデオRAMは、入出力がシングルポートで構成されていることを特徴とする請求項1記載の文字表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、テレビジョン画面上にオンスクリーン表示を行う文字表示装置に関する。

【0002】

【従来の技術】近年、米国においては、難聴者向けを目的として、テレビジョン放送の会話やアナウンス等を字幕を用いてリアルタイムでオンスクリーン表示したり、記録媒体(磁気テープ、磁気ディスク等)に記憶された画像情報を再生した際に該画像情報中の会話を字幕を用いてオンスクリーン表示したりする機能、即ち字幕の表示方法をユーザが任意に選択することのできる所謂クローズドキャプション機能を搭載したテレビジョン受像機が製品化されている。このシステムは日本における文字多重放送に似たものである。つまり、放送局から送信されたり記録媒体から再生されたりする画像情報中の字幕のためのキャプションデータは、これらのテレビジョン信

10

2

号における垂直帰線期間中の所定の水平同期期間(21H)に重疊されており、このキャプションデータをクローズドキャプション機能でデコードすることによって、テレビジョン画面上への字幕表示を可能としている。

20

【0003】ここで、上記したクローズドキャプション機能を実行するための構成はIC化されてテレビジョン受像機に内蔵されており、このIC内部には、字幕表示のためのビデオRAM、キャラクタROM等が含まれている。例えば、クローズドキャプションによる字幕表示モードには、32文字×15行の情報をテレビジョン画面全体に表示するテキストモード、32文字×4行の情報をテレビジョン画面の任意の位置に表示できるキャプションモードがある。そして、テキストモードにおけるキャプションデータがデコードされると32文字×15行分の文字コードが発生し、キャプションモードにおけるキャプションデータがデコードされると32文字×4行分の文字コードが発生することになる。前記ビデオRAMはこれらの文字コードを記憶するものであり、記憶容量を多く必要とするテキストモードに従って少なくとも480(=32×15)アドレスで構成される。また、前記ビデオRAMの480アドレスはテレビジョン画面上に表示される最大32文字×15行の各文字表示位置に1対1に対応している。従って、前記ビデオRAMのアクセスはテレビジョン信号に含まれる水平同期信号及び垂直同期信号と文字フォントのドットに対応したドットクロックから作成されるアドレス信号によって行われる。また、前記キャラクタROMはテレビジョン画面上に表示し得る所定の文字フォント(横mドット×縦nドット)の文字データを記憶したものであり、前記ビデオRAMの文字コードによってアクセスされ、アクセスされた文字データの横mドット分のドットパターンを横方向に32文字分読み出し、それを縦方向にn回順次読み出すものである。

30

【0004】さて、上記した様に、キャプションデータは映像信号の垂直帰線期間に重疊される為、少なくとも1フレーム単位で更新されることになる。即ち、ビデオRAMへの文字コードの書き込み及び読み出しもキャプションデータの更新に応じて繰り返し行われることになる。ここで、前記ビデオRAMへの文字コードの書き込み及び該文字コードのモニタのための読み出しはマイクロコンピュータを用いて行われ、言い換えれば該マイクロコンピュータで演算を実行するためのマシンサイクルに同期して行われている。一方、前記ビデオRAMからの文字コードの表示のための読み出しは、当然の事ながら文字表示位置に対応しなければならない為に水平同期信号及び垂直同期信号に同期して行われることになる。即ち、前記ビデオRAMに文字コードを書き込む際のアクセスと前記ビデオRAMから文字コードを表示の為に読み出す際のアクセスは各々非同期に行われている。それ故に、従来は、前記ビデオRAMとして、文字コード

の書き込み及び表示のための読み出しのアクセスを非同期に行えるデュアルポートRAMを使用していた。

【0005】

【発明が解決しようとする課題】しかしながら、前記ビデオRAMをデュアルポートで構成してしまうと、入出力ライン数及び前記ビデオRAMをアクセスするためのアドレスデコーダの数の増加に伴ってICのチップ面積が増大し、コストが上昇する問題がある。また、チップ面積の増大並びにコスト上昇を抑える為に、1画面の文字表示エリアを幾つかに分割し、この分割画面に文字を表示可能な最低の記憶容量を有するデュアルポートRAMで前記ビデオRAMを構成すると、分割画面の切換毎に前記ビデオRAMの記憶内容を書き換えなければならず、マイクロコンピュータのプログラム処理が繁雑になるといった問題点があった。

【0006】そこで、本発明は、ビデオRAMをシングルポート構成として文字コードの書き込み及び表示のための読み出しを良好に行う文字表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、複数の処理期間から成るマシンサイクルに基づいて一連の処理を実行するコンピュータ回路と、前記コンピュータ回路の動作に基づいて第1アドレス信号を発生する第1アドレス回路と、テレビジョン信号の水平走査及び垂直走査に基づいて前記第1アドレス信号とは非同期の第2アドレス信号を発生する第2アドレス回路と、前記マシンサイクルの所定の処理期間に前記第1アドレス信号を切換出力し、前記マシンサイクルの残余の処理期間に前記第2アドレス信号を切換出力するアドレス切換回路と、前記アドレス切換回路から出力された前記第1アドレス信号又は前記第2アドレス信号によってアクセスされ、テレビジョン画面上に文字表示を行うための文字コードの書き込み又は読み出しが行われるビデオRAMと、前記ビデオRAMから読み出された文字コードによってアクセスされ、予め記憶された所定フォントの文字データの読み出しが行われるキャラクタROMと、前記キャラクタROMから読み出された文字データを前記テレビジョン信号の水平走査及び垂直走査に同期して出力する出力回路と、を備えた点である。

【0008】

【作用】本発明によれば、コンピュータ回路で使用される各マシンサイクル内部の特定の処理期間を、コンピュータ回路の動作に同期したビデオRAMのアクセスに使用し、また、各マシンサイクルの残余の処理期間を、テレビジョン信号の水平走査及び垂直走査に同期したビデオRAMのアクセスに使用する様に構成した為、ビデオRAMをシングルポートで構成できる。

【0009】

【実施例】本発明の詳細を図面に従って具体的に説明する。図1は本発明の文字表示装置を示す図であり、例えばクローズドキャプションの字幕表示を行う場合について説明する。図1において、(1)はビデオRAMであり、シングルポートで構成される。ここで、「従来の技術」の項で述べた様に、クローズドキャプションの文字表示にはテキストモードとキャプションモードとが存在する。テキストモードは32文字×15行をテレビジョン画面全体にオンスクリーン表示するものであり、キャプションモードは32文字×4行をテレビジョン画面の任意の位置にオンスクリーン表示するものであり、ユーザが任意に選択できる。ビデオRAM(1)は、テキストモード及びキャプションモードにおいてテレビジョン信号の垂直帰線期間に重畳しているキャプションデータをデコードして発生する文字コード、文字修飾のためのアトリビュートコード等を書き込んだり或は読み出したりするものである。そして、ビデオRAM(1)は、記憶容量を多く必要とするテキストモードに従って少なくとも480(32×15)アドレスで構成され、各アドレスは

20 32文字×15行の各文字表示位置に1対1に対応している。従って、テレビジョン画面上に文字表示を行う場合、ビデオRAM(1)は、テレビジョン信号の水平走査及び垂直走査に同期してアクセスされることになる。

【0010】また、ビデオRAM(1)の各アドレスは8ビットで構成されており、文字コードは00H～7FH(H：ヘキサデシマル)の何れかの8ビットデータで表現されて記憶され、また、アトリビュートコードは80H～FFHの何れかの8ビットデータで表現されて記憶される。従って、ビデオRAM(1)に記憶されたコードが文字コードであるのかアトリビュートコードであるのかは両コードの最上位ビットで判別されることになる。即ち、8ビットデータの最上位ビットが「0」であれば該8ビットデータは文字コードであると判別され、また、8ビットデータの最上位ビットが「1」であれば該8ビットデータはアトリビュートコードであると判別されることになる。

【0011】(2)はキャラクタROMであり、テレビジョン画面上に文字表示を行うための文字データが所定の文字フォント(横mドット×縦nドット)で記憶され、ビデオRAM(1)から読み出された文字コード及び文字フォントの垂直位置に応じた垂直位置制御回路(7)のアドレス信号によってアクセスされるものである。そして、キャラクタROM(2)の所定アドレスがアクセスされると、このアドレスに記憶されている文字データの横mドット分のドットパターンが走査ラインに応じて縦方向にn回繰り返し読み出されることになる。

【0012】(3)はマイクロコンピュータ(図示せず)に内蔵されたCPUであり、プログラムROM(図示せず)から読み出されたプログラムデータに従って演算処理を実行するものである。ここで、CPU(3)の一連の演算

処理は該CPU(3)に固有に定められたマシンサイクルMC単位で実行されており、該マシンサイクルMCは例えば6処理期間で構成され、この各処理期間毎にデータの書き込み、データの読み出し、演算処理等が行われて いる。

【0013】(4)は状態制御回路であり、発振クロックLC、水平同期信号Hsync、及び垂直同期信号Vsyncが印加され、図1回路を動作制御するための各種信号を発生するものである。つまり、発振クロックLCに基づいて前記文字データの横方向の各ドット毎に周期を繰り返すドットクロックDCLKを発生し、また、ドットクロックDCLKに基づいて前記文字データの横mドット毎に文字切換パルスCCPを発生する。更に、状態制御回路(4)はバス(5)を介してCPU(3)と接続されており、CPU(3)の演算処理データに基づいてテキストモード又はキャプションモードの切り換えを行ったりもする。

【0014】(6)は水平位置制御回路であり、テレビジョン信号の水平走査期間中にビデオRAM(1)をアクセスするためのアドレス信号を発生するものである。水平位置制御回路(6)内部にはレジスタ及びカウンタが設けられている。そして、前記レジスタには水平方向の文字表示開始位置を示すデータがCPU(3)からバス(5)を介してセットされる。即ち、前記レジスタには各水平走査期間毎に水平同期信号Hsyncが発生してから文字表示開始位置に至るまでに要するドットクロックDCLKの数がバイナリでセットされる。また、前記カウンタはドットクロックDCLKに同期してバイナリでカウントアップ動作を行うものであり、水平同期信号Hsyncでリセットされる。従って、水平位置制御回路(6)は、前記カウンタが前記レジスタの内容をカウントした時点からm個のドットクロックDCLKをカウントする毎にインクリメントを行うアドレス信号を出力することになる。

【0015】(7)は垂直位置制御回路であり、水平位置制御回路(6)と同様にテレビジョン信号の走査期間中にビデオRAM(1)をアクセスするためのアドレス信号を発生するものである。垂直位置制御回路(7)内部にもレジスタ及びカウンタが設けられている。そして、前記レジスタには垂直方向の文字表示開始位置を示すデータがCPU(3)からバス(5)を介してセットされる。即ち、前記レジスタには各フィールド毎に1本目の水平走査線の発生から文字表示開始位置の水平走査線までに要する水平同期信号Hsyncの数がバイナリでセットされる。また前記カウンタは水平同期信号Hsyncに同期してバイナリでカウントアップ動作を行うものであり、垂直同期信号Vsyncでリセットされる。従って、垂直位置制御回路(7)は、前記カウンタが前記レジスタの内容をカウントした時点からn個の水平同期信号Hsyncをカウントする毎にインクリメントを行うアドレス信号を出力することになる。そして、これらの水平位置制御回路(6)及び垂

直位置制御回路(7)から出力されるアドレス信号の組み合わせ(第2アドレス信号)によってビデオRAM(1)をアクセス可能となる。尚、この第2アドレス信号は、ビデオRAM(1)に書き込まれている文字コードを画面表示の目的で読み出す時に使用される。

【0 0 1 6】(8)はカラムアドレスレジスタであり、ビデオRAM(1)をアクセスするためのアドレス信号がキャッシュデータのデコード結果に基づきCPU(3)からバス(5)を介してセットされるものである。また、
10 (9)はロードアドレスレジスタであり、カラムアドレスレジスタ(8)と同様にビデオRAM(1)をアクセスするためのアドレス信号がCPU(3)からバス(5)を介してセットされるものである。そして、これらの両アドレスレジスタ(8)(9)にセットされたアドレス信号の組み合わせ(第1アドレス信号)によってビデオRAM(1)をアクセス可能である。尚、この第1アドレス信号は、ビデオRAM(1)に文字コードを書き込む時又はビデオRAM(1)から文字コードをモニタの目的で読み出す時に使用される。ここで、上記した様に、第2アドレス信号はテ
20 レビジョン信号の水平走査及び垂直走査に同期して発生するのに対し、第1アドレス信号はCPU(3)の動作に同期して発生しており、即ち第1アドレス信号及び第2アドレス信号は全く非同期で発生することになる。

【0017】(10)はアドレス切換回路であり、水平位置制御回路(6)及びカラムアドレスレジスタ(8)から発生するアドレス信号を切換出力するものである。アドレス切換回路(10)には両アドレス信号を切換出力するための切換信号C/Oが印加されている。該切換信号C/OはCPU(3)の各マシンサイクルMCを構成する1~6の30処理期間毎に「L」(ローレベル)又は「H」(ハイレベル)を繰り返す方形波信号であり、アドレス切換回路(10)は、切換信号C/Oが「L」の時に水平位置制御回路(6)から発生するアドレス信号を切換出し、切換信号C/Oが「H」の時にカラムアドレスレジスタ(8)にセットされたアドレス信号を切換出力する。例えば、切換信号C/OはマシンサイクルMCの1, 3, 5番目の処理期間に「L」、該マシンサイクルMCの2, 4, 6番目の処理期間に「H」となる様に設計されており、これより各マシンサイクルMC内において水平位置制御回路40(6)又はカラムアドレスレジスタ(8)のアドレス信号が交互に3回づつビデオRAM(1)に取り込まれることになる。ここで、上記した様に水平位置制御回路(6)及びカラムアドレスレジスタ(8)のアドレス信号は非同期に発生しているが、アドレス切換回路(10)から切換出力される両アドレス信号はCPU(3)の動作(即ちマシンサイクルMC)に同期して発生することになる。

【0018】同様に、(11)はアドレス切換回路であり、垂直位置制御回路(7)及びローアドレスレジスタ(9)から発生するアドレス信号を切換出力するものである。ア
50 ドレス切換回路(11)には前記切換信号C/Oが印加さ

れ、各マシンサイクルMC内において垂直位置制御回路(7)又はロードレスレジスタ(9)のアドレス信号が交互に3回づつビデオRAM(1)に取り込まれることになる。ここで、垂直位置制御回路(7)及びロードレスレジスタ(9)のアドレス信号は非同期に発生しているが、アドレス切換回路(11)から切換出力される両アドレス信号はCPU(3)の動作に同期して発生することになる。従って、ビデオRAM(1)には、切換信号C/Oが「L」の時に水平位置制御回路(6)及び垂直位置制御回路(7)の両アドレス信号即ち第2アドレス信号が取り込まれ、また、切換信号C/Oが「H」の時にカラムアドレスレジスタ(8)及びロードレスレジスタ(9)の両アドレス信号即ち第1アドレス信号が取り込まれることになり、故に、ビデオRAM(1)は、各マシンサイクルMC内において第1アドレス信号及び第2アドレス信号によって対応アドレスを3回づつアクセスされることになる。

【0019】(12)はデータ切換回路であり、ビデオRAM(1)にコードを書き込んだり該ビデオRAM(1)からコードを読み出したりするものである。データ切換回路(12)には切換信号C/Oが印加されている。即ち、切換信号C/Oが「H」の時、ビデオRAM(1)は第1アドレス信号でアクセスされており、CPU(3)がキャッシュデータをデコードすることによって発生した文字コード又はアトリビュートコードがデータ切換回路(12)を介してビデオRAM(1)の当該アドレスに書き込まれたり、ビデオRAM(1)の当該アドレスの記憶コードがデータ切換回路(12)を介してCPU(3)に取り込まれたりする。また、切換信号C/Oが「L」の時、ビデオRAM(1)は第2アドレス信号でアクセスされており、ビデオRAM(1)の当該アドレスの記憶コードがデータ切換回路(12)を介して読み出されキャラクタROM(2)又は後述のアトリビュート制御回路に取り込まれる。即ち、文字コードはキャラクタROM(2)にアドレス信号として取り込まれ、アトリビュートコードは前記アトリビュート制御回路に取り込まれる。

【0020】(13)は上記したアトリビュート制御回路であり、アトリビュートコードを解読し、各文字フォント単位で文字修飾を行うためのアトリビュート制御データを出力するものであり、切換信号C/Oが「L」から「H」へ変化するタイミングでアトリビュート制御データを保持する。(14)はmビットのラッチ回路であり、キャラクタROM(2)から読み出された文字データの横mドット分のドットパターンを保持するものである。ラッチ回路(14)には切換信号C/Oが印加されており、該ラッチ回路(14)は切換信号C/Oが「L」から「H」へ変化するタイミングでラッチ動作を行う。尚、ドットパターンはドットが存在する時に1、ドットが存在しない時に0となるデータで表されるものとする。(15)はシフトレジスタであり、ラッチ回路(14)から出力されたmビッ

トデータを文字切換パルスCCPに同期してセットした後ドットクロックDCLKに同期してmビットデータをシリアル出力する動作を繰り返すものである。(16)はレジスタであり、文字切換パルスCCPに同期してアトリビュート制御回路(13)のアトリビュート制御データ出力をセットするものである。(17)は出力処理回路であり、シフトレジスタ(15)から出力されるmビットデータとレジスタ(16)から出力されるアトリビュート制御データとを信号処理し、RGB信号を出力するものである。尚、ラッチ回路(14)、シフトレジスタ(15)、レジスタ(16)、及び出力処理回路(17)より出力回路が構成される。そして、キャラクタROM(2)及びアトリビュート制御回路(13)の出力動作はCPU(3)の動作に同期しているが、出力回路の動作はテレビジョン信号の水平走査及び垂直走査に同期することになる。

【0021】以下、図1の文字表示装置の動作、特にビデオRAM(1)の記憶コードを表示の目的で読み出してテレビジョン画面上に1水平走査分だけ表示する場合につき、図2のタイムチャートを用いて説明する。尚、キャラクタROM(1)の文字フォントの横方向は8ドットとするテレビジョン信号の水平走査に同期して所定周波数のドットクロックDCLK及び該ドットクロックDCCLKを8クロック計数する毎に文字切換パルスCCPが状態制御回路(4)から発生すると、水平位置制御回路(6)からは、文字切換パルスCCP毎にインクリメントを行うアドレス信号が出力される。尚、n-1, n, n+1, n+2, ……は所定のアドレスを示している。一方、CPU(3)で演算処理を実行する為に1～6の処理期間から成るマシンサイクルMCが発生すると、各マシンサイクルMCの1, 3, 5番目の処理期間に「L」となり、2, 4, 6番目の処理期間に「H」となる方形波状の切換信号C/Oが発生する。即ち、切換信号C/Oの「L」期間において、水平位置制御回路(6)及び垂直位置制御回路(7)から出力される第2アドレス信号が各々アドレス切換回路(10)(11)を介してビデオRAM(1)に取り込み可能となる。尚、ビデオRAM(1)出力に示されるC及びOは各々第1アドレス信号及び第2アドレス信号によるアクセス期間を示している。

【0022】そして、ビデオRAM(1)のアクセス期間Oにおいて、水平位置制御回路(6)のアドレス信号がビデオRAM(1)に取り込まれると、切換信号C/Oの「L」期間に該アドレス信号に対応する文字コード又はアトリビュートコードがビデオRAM(1)から読み出されることになる。ビデオRAM(1)の読み出しコードは切換信号C/Oの「L」から「H」への立ち上がりでラッピングされてデータ切換回路(12)から切換出力される。ビ

デオRAM(1)の読み出しコードが文字コードの場合、該文字コードがキャラクタROM(2)に取り込まれると、キャラクタROM(2)から文字コードに対応する8ビットデータが読み出されることになる。該8ビットデータは切換信号C/Oが「L」から「H」へ立ち上がるタイミングでラッチ回路(14)にラッチされる。該ラッチ回路(14)のラッチ内容は文字切換パルスCCPが「L」から「H」へ立ち上がるタイミングでパラレル出力され、シフトレジスタ(15)に取り込まれる。そして、シフトレジスタ(15)の保持内容はドットクロックDCLKに同期してシリアル出力され、出力処理回路(17)で所定の信号処理を施されてドットパターンに展開されることになる。これより、キャプション文字を画面表示する場合、ビデオRAM(1)がCPU(3)の動作に同期してアクセスされているにも関わらず、テレビジョン信号の水平走査に同期して良好なオンスクリーン表示を行うことが可能となる。尚、テレビジョン信号の水平走査期間において垂直位置制御回路(7)のアドレス信号は変化しない為、そのタイムチャートは省略してある。また、ビデオRAM(1)のアクセス期間〇において水平位置制御回路(6)のアドレス信号が変化してしまった場合、ビデオRAM(1)の読み出しコードは不確定コードxとなってしまうが、各マシンサイクルMC内において水平位置制御回路(6)のアドレス信号がビデオRAM(1)に3回繰り返し読み込まれ、ビデオRAM(1)から不確定コードxが発生した直後に確定コードが確実に発生する為、何ら問題はない。

【0023】以上より、CPU(3)で使用される各マシンサイクルMC内部の特定の処理期間を、CPU(3)の動作に同期したビデオRAM(1)のアクセスに使用し、また、各マシンサイクルMCの残余の処理期間を、テレビジョン信号の水平走査及び垂直走査に同期したビデオRAM(1)のアクセスに使用する様に構成した為、ビデオRAM(1)をシングルポートで構成できる。従って、図1の回路をICで構成した場合、ICのチップ面積の

増大及びそれに伴うコストの上昇を防止できる。更に、ビデオRAM(1)に1画面分の文字記憶容量を持たせる事ができる為、マイクロコンピュータのプログラム処理を簡単とできることになる。

【0024】

【発明の効果】本発明によれば、コンピュータ回路で使用される各マシンサイクル内部の特定の処理期間を、コンピュータ回路の動作に同期したビデオRAMのアクセスに使用し、また、各マシンサイクルの残余の処理期間を、テレビジョン信号の水平走査及び垂直走査に同期したビデオRAMのアクセスに使用する様に構成した為、ビデオRAMをシングルポートで構成できる。従って、文字表示装置をICで構成した場合、ICのチップ面積の増大及びそれに伴うコストの上昇を防止でき、更にはビデオRAMに1画面分の文字記憶容量を持たせることができる為、ビデオRAMの書き込み動作及び読み出し動作を行うマイクロコンピュータ等のプログラム処理を簡単とできる等の利点が得られる。

【図面の簡単な説明】

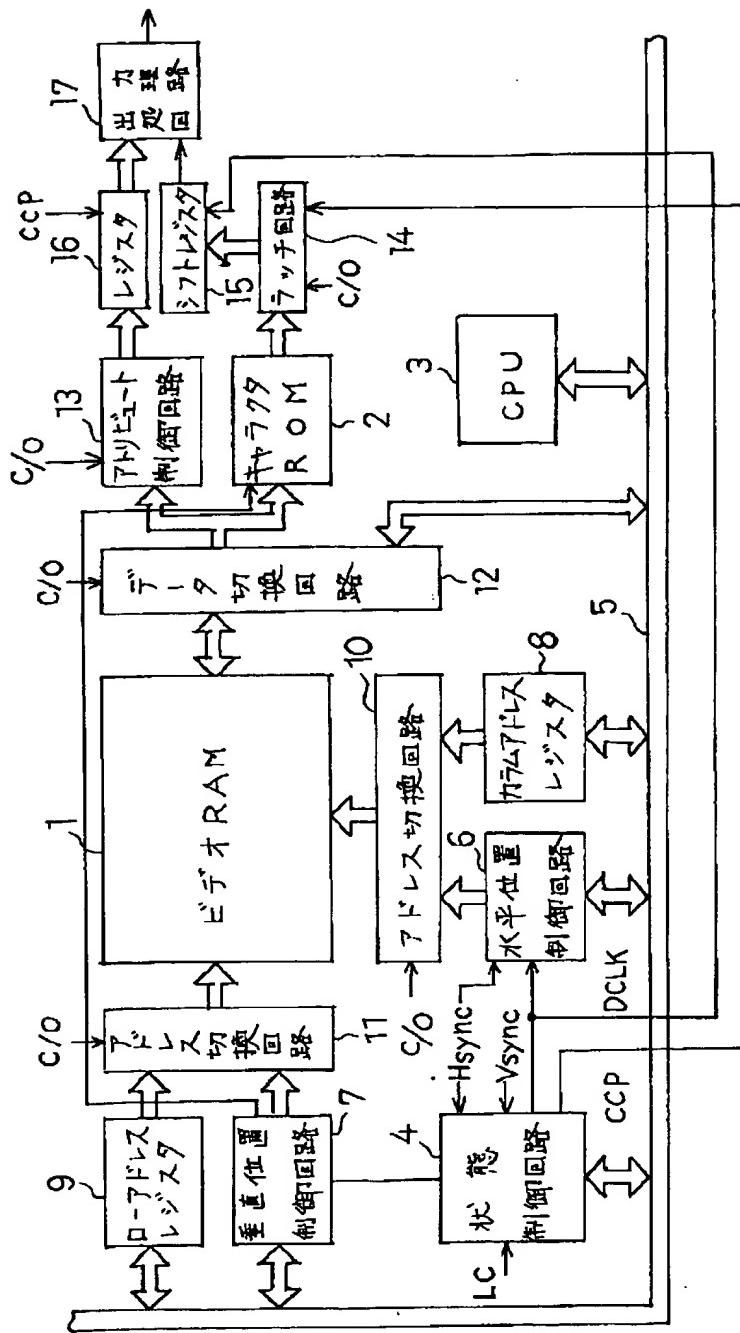
【図1】本発明の文字表示装置を示す図である。

【図2】図1の各部波形を示すタイムチャートである。

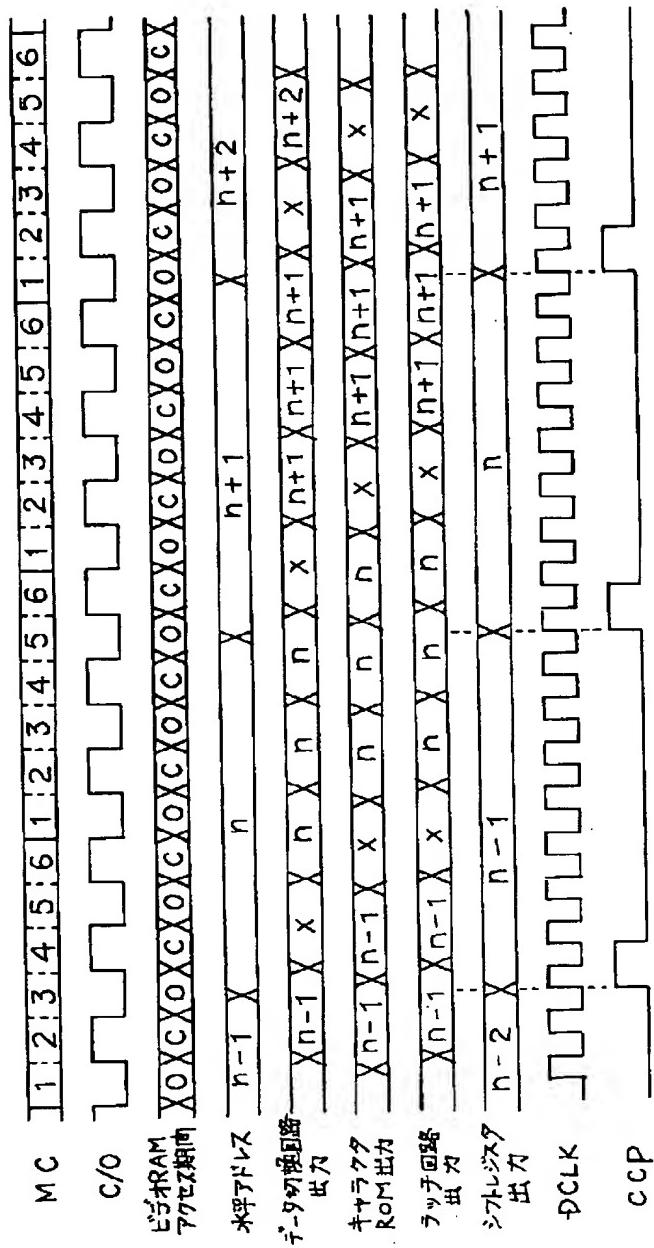
【符号の説明】

- (1) ビデオRAM
- (2) キャラクタROM
- (3) CPU
- (6) 水平位置制御回路
- (7) 垂直位置制御回路
- (8) カラムアドレスレジスタ
- (9) ロードアドレスレジスタ
- 30 (10)(11) アドレス切換回路
- (14) ラッチ回路
- (15) シフトレジスタ
- (16) レジスタ
- (17) 出力制御回路

【図1】



[図2]



フロントページの続き

(51) Int.Cl.⁵

G 0 9 G 5/40

H04N 5/278

識別記号

厅内整理番号

F I

技術表示箇所